

**Family list****3** family members for: **JP7140485**

Derived from 2 applications

**1 SEMICONDUCTOR DEVICE AND ITS PRODUCTION****Inventor:** CHIYOU KOUYUU; KOYAMA JUN; (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB**EC:** H01L21/336D2B; H01L21/84; (+1) **IPC:** G02F1/136; G02F1/1343; G02F1/1368  
(+19)**Publication info:** JP2789293B2 B2 - 1998-08-20**JP7140485 A** - 1995-06-02**2 Semiconductor device and process for fabricating the same****Inventor:** ZHANG HONGYONG (JP); KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
(JP); (+1)**EC:** H01L21/336D2B; H01L21/84; (+1) **IPC:** G02F1/136; G02F1/1343; G02F1/1368  
(+16)**Publication info:** US5686328 A - 1997-11-11Data supplied from the **esp@cenet** database - Worldwide

# SEMICONDUCTOR DEVICE AND ITS PRODUCTION

**Patent number:** JP7140485  
**Publication date:** 1995-06-02  
**Inventor:** CHIYOU KOUYUU; KOYAMA JUN; TERAMOTO SATOSHI  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
**- international:** G02F1/136; G02F1/1343; G02F1/1368; G09F9/30; H01L21/336; H01L21/822; H01L21/84; H01L27/04; H01L27/12; H01L29/78; H01L29/786; G02F1/13; G09F9/30; H01L21/02; H01L21/70; H01L27/04; H01L27/12; H01L29/66; (IPC1-7): G02F1/136; H01L21/822; H01L27/04; H01L29/786  
**- european:** H01L21/336D2B; H01L21/84; H01L27/12  
**Application number:** JP19930196845 19930714  
**Priority number(s):** JP19930196845 19930714

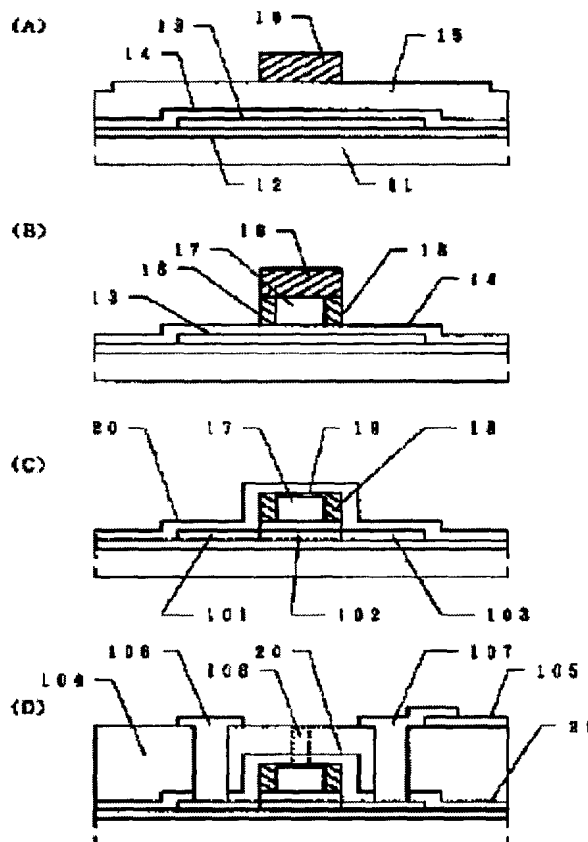
Also published as:

 US5686328 (A)

Report a data error he

## Abstract of JP7140485

**PURPOSE:** To improve stability and reliability and to realize pixels having a large opening rate by providing the surface of an insulating substrate with TFTs and capacitors and constituting the capacitors by utilizing the oxide insulating film and silicon nitride film on lower electrodes.  
**CONSTITUTION:** A ground surface film (silicon oxide film) 12, an active layer 13, a gate insulating film 14 and an aluminum film 15 are formed on a glass substrate 11 and the aluminum film 15 is patterned by a resist mask 16 to form gate wirings and gate electrodes 17. Oxide layers 18 are formed on the flanks of the gate electrodes 17 by anodic oxidation and further, dense and thin oxide layers 19 are formed atop the gate electrodes 17, on which the silicon nitride films 10 are thinly formed. Channel forming regions 103 are formed in a self-alignment manner when source/drain regions 101, 103 are formed by implantation of ions. Further, an interlayer insulator 104 is formed and thereafter, the interlayer insulator of the parts to be formed with the capacitors is removed simultaneously with formation of contact holes and ITO electrodes 105 and source/drain electrodes 106, 107 are formed.



(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-140485

(43) 公開日 平成7年(1995)6月2日

(51) Int. Cl.<sup>6</sup>  
G02F 1/136  
H01L 27/04  
21/822

識別記号  
500

F I

8832-4M  
9056-4M

H01L 27/04  
29/78

C  
G

審査請求 有 請求項の数 5 F D (全 8 頁) 最終頁に続く

(21) 出願番号 特願平5-196845  
(22) 出願日 平成5年(1993)7月14日

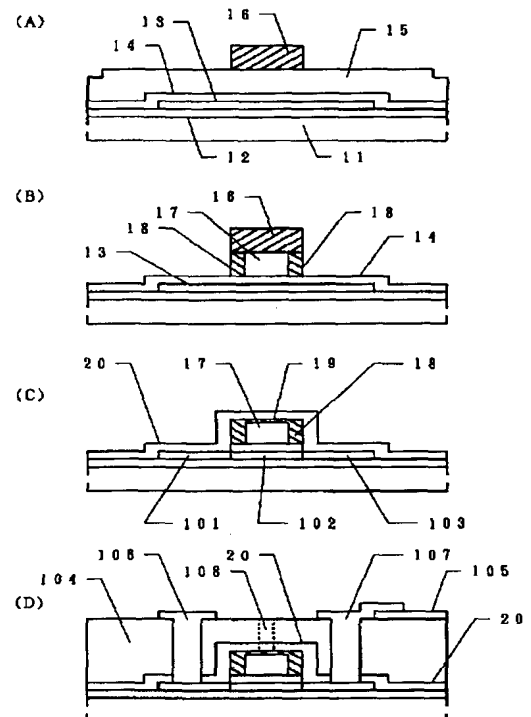
(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 張 宏勇  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 小山 潤  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 寺本 聡  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【目的】 アクティブマトリックス型の液晶表示装置の画素電極において、TFTやキャパシタの信頼性を高める。

【構成】 その周囲に酸化物層18、19が形成されたゲート電極を覆って、窒化珪素膜20を成膜する。こうすることで、このTFTの他部において形成されるキャパシタを薄い酸化物層18と窒化珪素膜で構成することができ、信頼性の高い画素構成を実現できる。



## 【特許請求の範囲】

【請求項 1】 同一絶縁基板上に薄膜トランジスタとキャパシタとが設けられており、

前記キャパシタは、下側電極上の酸化物絶縁膜と窒化珪素膜を利用して構成されていることを特徴とする半導体装置。

【請求項 2】 アルミを主成分とする電極または配線を形成する工程と、

前記アルミを主成分とする電極または配線の周囲に酸化物層を形成する工程と、

窒化珪素膜を形成する工程と、

を有し、

前記アルミ電極またはアルミ配線の一部はゲイト電極を構成し、他の一部はキャパシタの一方の電極を構成し、

前記キャパシタは、前記酸化物層と前記窒化珪素膜とを利用して構成されていることを特徴とする半導体装置作製方法。

【請求項 3】 請求項 2 において、キャパシタの他の一方の電極は、画素電極によって構成されていることを特徴とする半導体装置作製方法。

【請求項 4】 アルミ電極を形成する工程と、

前記アルミ電極の表面に酸化物層を形成する工程と、

前記アルミ電極を切断する工程と、

窒化珪素膜を形成する工程と、

を有する半導体装置作製方法。

【請求項 5】 薄膜トランジスタとキャパシタとが設けられたアクティブマトリックス型の液晶表示装置の画素部分の構成であって、

ゲイト電極、およびゲイト配線、およびキャパシタの一方の電極となるアルミを主成分とする材料を形成する工程と、

前記アルミを主成分とする材料の表面に酸化物層を形成する工程と、

前記アルミを主成分とする材料の一部を切断する工程と、

前記アルミを主成分とする材料と酸化物層を覆って窒化珪素膜を形成する工程と、

前記酸化物層と窒化珪素膜とを利用して、前記アルミを主成分とする電極と画素電極との間でキャパシタを構成する工程と、

を有する半導体装置作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜半導体を用いた絶縁ゲイト型電界効果トランジスタ（以下 T F T という）の構成に関する。また、T F T をアクティブマトリックス型の液晶表示装置に利用した構成に関する。

## 【0002】

【従来の技術】 従来より、T F T を用いて、液晶表示装置の画素部分を駆動するアクティブマトリックス型の液

晶表示装置が知られている。通常、このアクティブマトリックス型の液晶表示装置の画素部分は、T F T の一方の出力が画素電極とキャパシタとに連結された構成を有している。そこで、T F T とキャパシタとを効率良く形成することが求められる。また、キャパシタは、画素の開口率を高めるためになるべく小さな面積で形成されることが望まれる。

【0003】 一方、T F T の構造として、ゲイト電極にアルミを主成分とするものを用い、その周囲を陽極酸化して酸化物層を形成する構成が知られている。この構成は、アルミゲイトの上面、及び側面に酸化物層を形成し、その上面部分を絶縁層として用い、その周囲をオフセットゲイト領域の形成のために用いるものである。このオフセットゲイトの形成は、イオン注入法によるソース／ドレイン領域の形成の際に、このゲイト電極周囲の酸化物層の厚さだけオフセットゲイト領域が形成でき、オフ電流の小さい T F T を得るこののできる技術である。

【0004】 また、この陽極酸化によって形成された酸化物層をキャパシタを形成するための誘電体として利用することができるが、アルミの酸化物のみを誘電体としたキャパシタは、耐圧や高周波特性に劣るという問題がある。この問題を解決する方法としては、前記アルミの酸化物層上面に形成される層間絶縁膜をも誘電体としたキャパシタを構成する方法が考えられるが、その場合、層間絶縁膜を構成する材料の選択が問題となる。

【0005】 また、層間絶縁膜の膜厚は 5 0 0 0 Å 以上必要とされるので、キャパシタの誘電体として利用した場合、その容量が増大してしまい、開口率が増大してしまうという問題がある。さらに、アクティブマトリックス型の液晶表示装置の画素部分に形成する場合には、その最表面を平坦にする必要があるため、層間絶縁物としてポリイミド等の有機樹脂を利用することが望まれる。しかし、有機樹脂をキャパシタの誘電体として利用することは、信頼性や耐圧、さらには高周波特性の問題から好ましいものではない。

【0006】 一方、陽極酸化工程の終了後に、アルミを主成分とするゲイト配線の一部を切除する工程が必要となるが、この際にアルミ材料が露呈してしまう。これは、陽極酸化工程においては、各画素に設けられた T F T のゲイト電極がすべて電氣的に接続されているので、最表面を構成する層間絶縁膜の形成に先立ち、各ゲイト配線毎に分離することが必要だからである。

【0007】 またこの工程は、層間絶縁膜の形成の前に必要であるが、層間絶縁物の形成の最には、3 0 0 度以上の加熱工程が必要であり（特に有機樹脂を用いた場合には、3 0 0 度以上のベーク工程が不可欠である）、この最に、前述のアルミが露呈した部分にヒロックが発生するという問題が生じる。このヒロックの発生は、配線部の不良や断線を引き起こす原因となるので、避けなければならない。なお、陽極酸化によって酸化物層が形成

されている場合には、アルミ表面にヒロックが発生することを抑制することができるので、400度程度の加熱工程までの加熱工程に耐えることができる。

【0008】以上のように、開口率を大きくして、しかも必要とする容量を有するキャパシタを形成することは困難であった。また、ゲイト配線をゲイト電極の形成と同時にアルミを主成分とする材料で構成する場合には、ゲイト配線の形成に難があり、その一部にヒロックが発生してしまうという問題があった。

【0009】

【発明が解決しようとする課題】以上のような問題に鑑み、本発明は、

- ・開口率を確保したキャパシタの作製。
  - ・ゲイト配線端部におけるヒロック発生の問題の解決。
- といったことを解決することを目的とする。

【0010】

【課題を解決するための手段】本発明の概略の構成を図1を用いて説明する。図1(C)に示すように、アルミを主成分とするゲイト電極17の周囲の酸化物層18と119を陽極酸化工程によって形成し、さらに窒化珪素

膜20を形成する。勿論、これらの工程に間にソース／ドレイン領域101、103への不純物イオンの注入や活性化の工程が必要とされる。

【0011】この窒化珪素膜20は、ソース／ドレイン領域101、103へのレーザー光の照射の際に、保護膜として作用し、半導体層中への不純物の混入の防止する。また、図3(C)に示すように、この窒化珪素膜20は、酸化物層19とともに、キャパシタの誘電体を構成する。このキャパシタは、画素電極であるITO電極105と、ゲイト電極と同時に形成されるアルミの共通配線53との間で構成される。

【0012】また、窒化珪素膜の形成の前に、酸化物層がその周囲に形成されたアルミを主成分とする電極や配線を切断する工程が必要であるが、この工程で露呈した部分を窒化珪素膜で覆うことによって、後の加熱工程でアルミを主成分とする材料の表面にヒロックが発生することを防ぐことができる。また、ゲイト電極を構成する材料としては、Al、Ti、Ta、Cr、Mo、Si、W やこれらの多層膜を利用することができる。

【0013】

【実施例】

【実施例1】本実施例は、アクティブマトリックス型の液晶表示装置の画素部分に、TFTとキャパシタとを形成した例である。本実施例の全体の概略を示す上面図を図5に示す。図5において、A-A'で切った断面が図1(D)であり、その作製工程を図1(A)～(D)に示す。また、B-B'で切った断面が図2(D)であり、その作製工程が図2(A)～(D)である。また、C-C'で切った断面が図3(D)であり、その作製工程が図3(A)～(D)である。各工程図の(A)～(D)

はそれぞれ対応しており、例えば図1(B)の工程は、図2(B)と図3(B)とにそれぞれ対応する。また原則として、各図において、同じ符号が同じ部分、または同一工程で同一材料で形成される部分を示す。

【0014】また図4は、ゲイト配線の端部を示すものであり、図5には示されていない。以下において、

(A)の工程というのは、図1(A)と図2(A)と図3(A)と図4(A)とを指すもので、それらの工程は同時に行われる。

10 【0015】まず、図1～図4の各工程図面が示している部分について説明する。図1は、図5のA-A'で切り取られる断面を示すものであり、TFTの断面を示すものである。図2は、図1とは90度異なる角度である図5のB-B'で切り取られるTFTの断面を示すものである。図3は、図5のC-C'で切り取られる部分を示すものであり、図において、左側が共通配線、右側がゲイト配線を示す。図4は、ゲイト配線の端部を示すものであり、図5には記載されていない。

20 【0016】以下に作製工程について説明する。まず、(A)の工程においてガラス基板11上に下地膜として酸化珪素膜13をスパッタ法によって2000Åの厚さに形成する。そして、活性層13を形成するための珪素膜を形成し、素子間分離パターンニングを行うことによって、活性層13を形成する。活性層13には、ソース／ドレイン領域とチャネル形成領域が形成される。また、活性層13を構成する珪素膜は、非晶質(アモルファス)珪素膜、微結晶珪素膜、多結晶珪素膜、その他結晶性を有する珪素膜を利用することができる。一般には、気相法で形成された非晶質珪素膜を加熱やレーザー光の照射、さらには強光の照射によって結晶性を有せしめた珪素膜を用いるのが有用である。

30 【0017】さらにゲイト絶縁膜14となる酸化珪素膜を1000Åの厚さにスパッタ法によって形成する。そして、ゲイト電極およびゲイト配線を構成するアルミを主成分とする膜15を5000Åの厚さに形成する。このアルミを主成分とする膜には、Ta、Ti、Si、Scから選ばれた少なくとも一種の元素を含有させるのは有効である。これは、加熱工程におけるヒロックが発生するのを防ぐためである。本実施例においては、Siを2重量%の割合で含有させた。

40 【0018】さらにゲイト配線のパターンニングを行うためのレジストマスク16を形成し、(A)に示す状態を得る。ゲイト配線は、図5において、51、54で示される。また53はゲイト配線と同時に同一材料で形成される共通配線であり、キャパシタの一方の電極を構成する配線である。またゲイト配線からは、17で示されるように、TFTのゲイト電極が延在しており、同一工程でゲイト配線とゲイト電極とは形成される。

50 【0019】このように、(B)に示す工程において、アルミ膜15をパターンニングし、図5に示すようにゲイ

ト配線51、54とゲイト電極17とを同時に形成する。さらに、レジストマスク16が残存した状態において、第1の陽極酸化工程を行い、パターニングされたゲイト電極17とゲイト配線51、54、さらには共通電極53の露呈した側面に酸化物層18を形成する。この陽極酸化工程は、3~20%のクエン酸もしくはショウ酸、リン酸、クロム酸、硫酸等の水溶液中を用いて行うもので、10V程度の低電圧で多孔質の酸化物層を形成するものである。この工程で形成される多孔質の酸化物層は、その厚さを厚くすることができるので、後のソース/ドレイン工程へのイオン注入工程において、オフセットゲイト領域を形成するためには極めて有効である。ただし、緻密な膜ではないので、耐圧の問題に対しては不利である。

【0020】次にレジストのマスク16を取り除き、第2の陽極酸化工程を行う。この陽極酸化工程は、3~10%の酒石液、硼酸、硝酸が含まれたエチレングルコール溶液を用いるものであり、緻密で硬質な酸化物層を得ることができる。ただし、200V以上の高電圧を印加する必要があり、2000Åを越える膜厚を確保することは困難である。従って、第1の陽極酸化工程において、多孔質の酸化物層18を3000Å程度の厚さに形成し、その後に1000Å程度の緻密な酸化物層19を(C)に示すように薄く形成することが有用である。

【0021】こうして、オフセットゲイト領域の形成のために必要とされるゲイト電極17側面の酸化物層(その厚さは3000Å程度が好ましい)を形成し、さらに緻密な酸化物層をゲイト電極17の上面に形成する。また図示してはいないが、この際、ゲイト電極17の側面にも緻密で薄い酸化物層が形成される。また、第2の陽極酸化工程で形成される薄い酸化物層19は、図3

(C)の右側で示されるように、キャパシタを構成するためにも利用される。このように、緻密で耐圧に優れた膜をキャパシタに利用することは有用である。

【0022】この段階で(C)に示すように、ゲイト電極17とゲイト配線51、54、さらには共通配線53が形成される。また、このゲイト電極とゲイト配線の周囲には、酸化物層が形成されている。

【0023】そして、図4(C)に示すように、ゲイト配線51/54さらには共通配線53の端部を切除する。この状態において、ゲイト配線の一部は切断され、アルミが直接露呈する状態となる。またこの工程に前後して、図1(C)において、ゲイト電極17およびゲイト配線51/54下以外の酸化珪素膜14を除去する。

【0024】そして、窒化珪素膜20を100Å~2000Åここでは1000Åの厚さに成膜する。この窒化珪素膜20の形成は、アンモニアとシランとを用いたプラズマCVD法を用いるのが一般的であるが、スパッタ法を用いるのもよい。

【0025】こうすると、図4の40で示されるよう

に、ゲイト配線51/54を構成するアルミの端部においても、その表面が窒化珪素膜20で覆われることになるから、後の加熱工程において、ヒロックの発生を防ぐことができる。勿論、この工程において、共通電極53の端部も窒化珪素膜20で覆われることになる。

【0026】つぎに、図1(C)に示されるように、ソース/ドレイン領域へのPまたはBのイオン注入を行ない、ソース/ドレイン領域101、103を形成する。この工程によって、ソース/ドレイン領域101、103とチャネル形成領域とが自己整合的に同時に形成される。このイオン注入の後に、レーザー光、あるいは強光の照射を行ない、アニールを行う。この際、ゲイト電極あるいはゲイト配線は、300度程度の温度に加熱されることが有用であるが、この際において、その周囲を陽極酸化による酸化物層が覆っているため、ヒロックの発生を抑制することができる。

【0027】また、レーザー光の照射や強光の照射の際に、ソース/ドレイン領域の表面が窒化珪素膜で覆われているので、その結晶性の改善の効果を大きくすることができる。また、ソース/ドレイン領域表面のシート抵抗を低減させることができるので、TFTの特性を向上させることができる。

【0028】この窒化珪素膜20を形成することで、図4(C)に示すゲイト配線端部40の部分が窒化珪素膜で覆われるため、後の加熱工程において、アルミからのヒロックが発生することがない構成とすることができる。

【0029】さらに層間絶縁物104をポリイミドで形成する。ここでポリイミドを用いるのは、最表面を平坦にするためである。つぎに、穴空け工程によって、図1においてはソース/ドレイン領域へのコンタクトホール(106/107で示される部分)を形成し、同時に図3(D)に示されるように、キャパシタが形成される部分の層間絶縁物を除去する。また同時に図4に示されるようにゲイト配線51/54へのコンタクトホール(図4の41で示される)をその端部において形成する。また、このゲイト配線へのコンタクトホール形成の際に、第2の陽極酸化工程において形成された酸化物層が薄いので、コンタクトホールが形成し易いという作製工程上の有用性がある。

【0030】そして、図1、図3に示すように、画素電極となるITO電極105を形成し、さらにソース/ドレイン電極106、107を形成し、さらにゲイト配線へのコンタクト電極41を形成する。これらの電極配線は、窒化チタン膜とアルミ膜との2層膜とすると接触抵抗を下げるために有効である。こうして、図5にその上面から見た全容を示す画素部分を完成する。勿論このような画素が同時に多数(例えば数十万以上)形成される。

【0031】図3には、図5のC-C'で切り取られる

部分に形成されるキャパシタの作製工程が示されている。図3に示すように、キャパシタは、画素電極であるITO電極105と共通電極53とで構成される。この際、キャパシタの容量Cを決定するのは、その対向する部分の電極面積Sと挟まれる誘電体の誘電率 $\epsilon$ 、さらには電極間隔dによって決まる。これらパラメータは、 $C = \epsilon S / d$ の関係を持している。

【0032】上記のような構成を採用した場合、誘電体を構成する酸化物質層19は1000Å程度と薄くすることができ、またその比誘電率は8程度である。また、酸化珪素膜20も1000Åと薄く、その比誘電率も6程度と大きいので、結果として、小さな面積で所定の容量を有するキャパシタを構成することができる。即ち、図5に示すように、共通配線53と画素電極105との重なる部分が画素におけるキャパシタの占有部分となり、その面積を小さくすることができる。従って、画素の開口率を大きくすることができる。

【0033】また、図4(D)に示すように、ゲイト配線51/54の端部、さらには共通配線の端部が酸化珪素膜でコートされるので、ソース/ドレイン領域の活性化の際や、層間絶縁物の形成の際における加熱工程において、40で示される部分にヒロックが発生するのを防ぐことができる。

【0034】〔実施例2〕本実施例は、実施例1に示すTFTの構造において、オフセットゲイト構造に加えて、LDD構造(ライト・ドープ・ドレイン構造)を作用した例である。本実施例の概要を図6に示す。以下に作製工程を示す。

【0035】まず、図1(A)に示すように、ガラス基板11上に下地膜12として酸化珪素膜を2000Åの厚さにスパッタ法で形成する。つぎに、活性層14を結晶性を有する1000Å厚の珪素膜で形成する。ここではこの活性層14として、プラズマCVD法で形成した非晶質珪素膜を加熱により結晶化させたものを用いるものとする。そして、素子間分離工程によって、活性層14を確定する。

【0036】つぎに、ゲイト絶縁膜となるアルミ膜15を5000Åの厚さに形成し、図1(A)の形状を得る。そして、マスク16を用いてパターンニングを行い、ゲイト電極17を形成する。そして、実施例1と同様に第1回目の陽極酸化工程によって、多孔質の陽極酸化膜18をゲイト電極17の周囲に3000Åの厚さに形成する。こうして、図6(A)に示す状態を得る。

【0037】つぎに、第1回目のイオン注入工程を行い、ソース/ドレイン領域となる10と103とにPまたはBをライトドープする。この際、ゲイト電極17とその周囲の酸化物質層18とレジストマスク16とがマスクとなり、自己整合的に101と103の領域にイオン注入が行われる。このイオン注入工程において、イオンのドーズ量は、 $0.3 \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、例えば $1 \times$

$10^{14} \text{ cm}^{-2}$ とし、ソース/ドレイン領域101と103とを弱いN型半導体または弱いP型半導体とする。

【0038】そして、露呈した酸化珪素膜14を除去し、図6(B)に示すように、酸化珪素膜110を8000Åの厚さに形成する。そして、RIE法による垂直異方性エッチングを行うことによって、111で示すような概略三角形形状の酸化珪素を残存させる。111で示される概略三角形形状の残存物のおおよそ幅は、酸化珪素膜111の膜厚によって決めることができる。一般的には、この概略三角形形状の残存物の幅の2~5の倍の膜厚に酸化珪素膜110を成膜すればよい。また、成膜には111の形状は、三角ではなく方形に近いと見てもできるが、本明細書においては概略三角形形状ということとする。

【0039】ここでは、酸化珪素膜110の膜厚を8000Åとしたので、111の幅は2000Å程度とすることができる。そして、2回目のイオン注入を行う。この工程は、ソース/ドレイン領域101、103に $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で第1回目と同じ不純物をドープする。この工程においては、111で示される部分がマスクとなるので、その外側の部分に主にイオン注入がされることになる。そして、112で示される部分はライトドープ領域として残存することとなる。また、101と103の領域はさらにイオン注入がなされてN型またはP型となり、ソース/ドレイン領域として構成される。

【0040】こうして、オフセットゲイト領域113とライトドープ領域112とを有したTFT構造を実現できる。本実施例においては、陽極酸化工程によって形成されるアルミの酸化物質層18によって3000Åの幅にオフセットゲイト領域を形成し、さらに111で示す残存物によって、2000Åの幅にライトドープ領域を形成したが、この幅は必要とするTFTの特性に鑑みて適時定めればよい。

【0041】上記第2回目のイオン注入工程の後に、酸化珪素膜20を1000Åの厚さに形成する。そして、ポリイミド樹脂で層間絶縁物104を形成し、穴開け工程を経て、画素電極となるITO電極105とソース/ドレイン電極104、107、さらにゲイト電極108を形成する。この時、ソース/ドレイン電極とゲイト電極、さらにはそれらの配線を図6(D)に示すように酸化チタン(下側)とアルミ(上側)との2層構造として構成することは、接触抵抗を低減させるためには有用である。こうして、実施例1と同様に画素にTFTを形成することができる。

【0042】

【効果】酸化珪素膜を用いて、キャパシタを構成することにより、安定性と信頼性に優れ、しかも開口率の大きい画素構成を実現できる。また、ゲイト配線としてアルミ配線を用い、その周囲に酸化物質層を形成する構成を採

用した場合において、ゲート配線の切断によって生じるアルミの露呈部分を窒化珪素膜で覆うことによって、後の加熱工程においてヒロックが発生しない構成を実現できる。

【図面の簡単な説明】

【図 1】 実施例の作製工程を示す。

【図 2】 実施例の作製工程を示す。

【図 3】 実施例の作製工程を示す。

【図 4】 実施例の作製工程を示す。

【図 5】 実施例の上面図を示す。

【図 6】 実施例の作製工程を示す。

【符号の説明】

11・・・ガラス基板

12・・・下地膜（酸化珪素膜）

13・・・活性層

14・・・ゲート絶縁膜

15・・・アルミ膜

16・・・マスク

17・・・ゲート電極

18・・・酸化物層

19・・・酸化物層

20・・・窒化珪素膜

101・・・ソース／ドレイン領域

102・・・チャネル形成領域

103・・・ドレイン／ソース領域

104・・・層間絶縁物

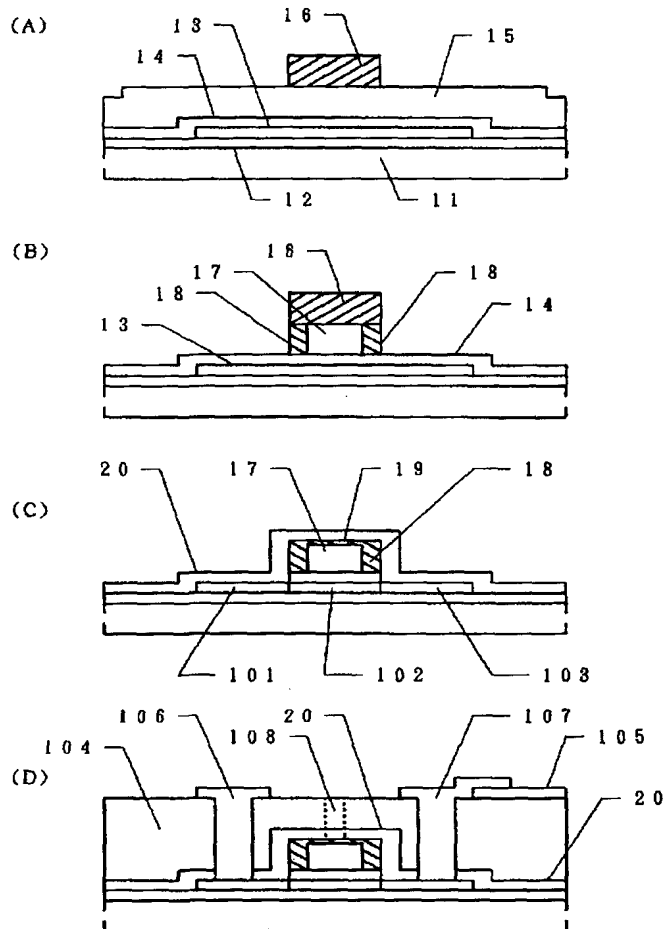
105・・・画素電極（ITO）

106・・・ソース／ドレイン電極

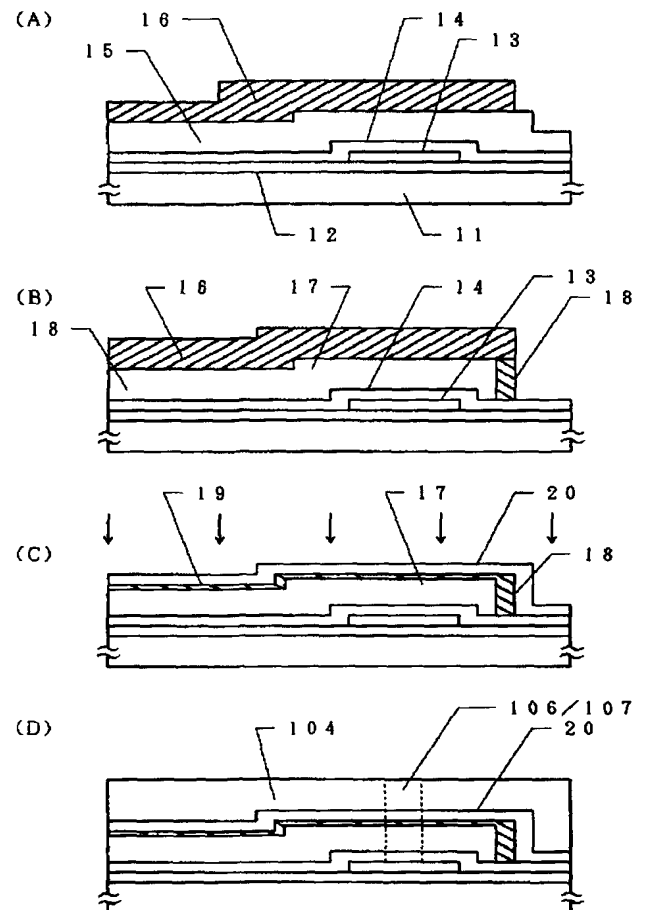
107・・・ドレイン／ソース電極

108・・・ゲート電極

【図 1】

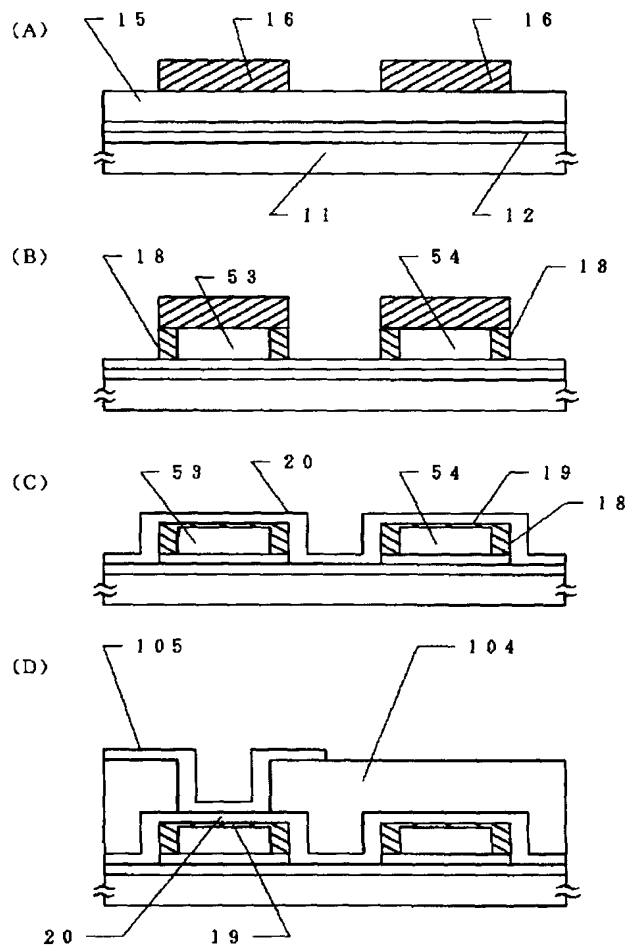


【図 2】

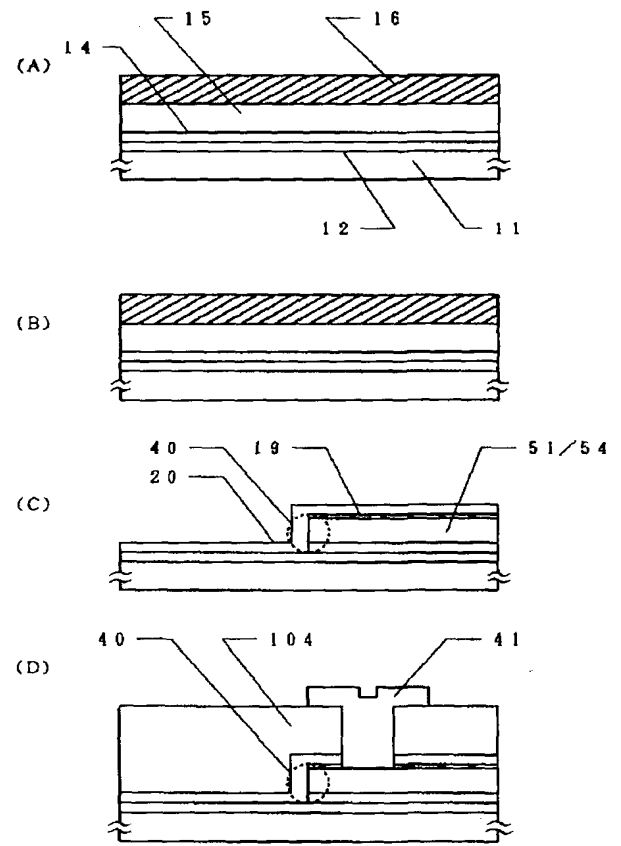




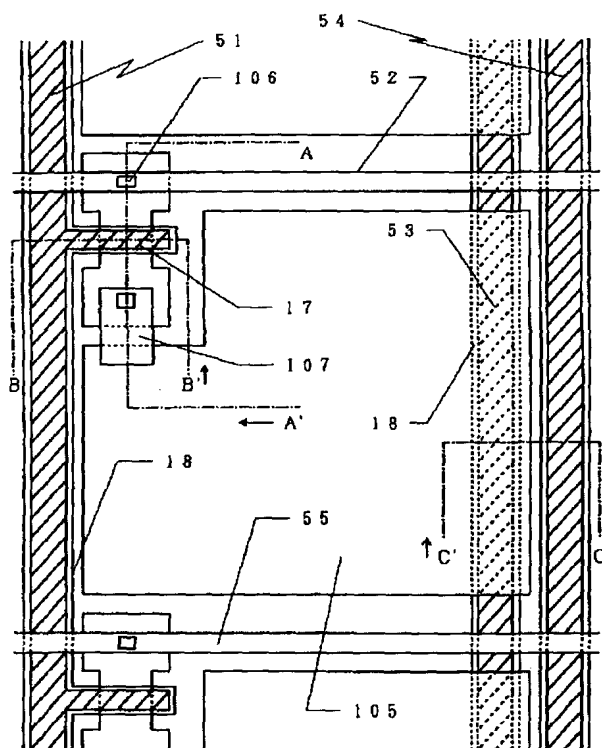
【図 3】



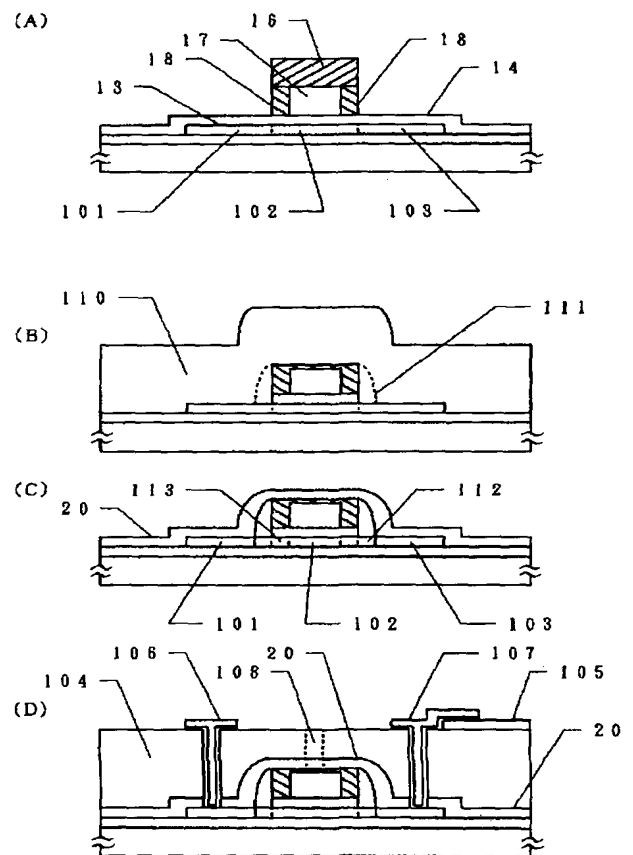
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl. <sup>6</sup>  
H 0 1 L 29/786

識別記号 庁内整理番号  
9056-4M

F I

H O 1 L 29/78

技術表示箇所

3 1 1 A